

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284604

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 29/872

(21)Application number : 2000-097554

(71)Applicant : SHINDENGEN ELECTRIC MFG CO LTD

(22)Date of filing : 31.03.2000

(72)Inventor : KITADA MIZUE
KURI SHINJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a Schottky diode structure which is improved in forward characteristics by lessening the reverse leakage current.

SOLUTION: On the surface of an N type substrate 1 connected to a cathode 9 and formed with an N type low concentration layer 2, recesses 4 are formed at intervals of W_m . The recesses 4 are filled with polycrystalline silicon to form P regions 5. On the upper face 7 of the P regions 5 and the upper face 6 of the other part, an anode 8 which satisfies the following formulae is Schottky-bonded:

$W_m \leq W_t \times N_a / N_b$ (W_m is the intervals between the recesses 4, N_d is the concentration of the second N type layer 2, and W_t and N_a are the width and the concentration of the P regions 5 respectively),
 $W_m \leq [2 \times \epsilon_0 \times \epsilon_s \times (BV_{AK}/n)/q \times N_d]^{1/2}$ (the breakdown voltage $BV_{AK} = 60 \times (E_g/1.1)^{1.5} \times (N_d/10^{16}) - 3/4$, E_g is the energy band gap of the semiconductor material, ϵ_0 is the permittivity of vacuum, ϵ_s is the dielectric constant of the semiconductor material, q is the elementary electric charge, and $n > 1$).

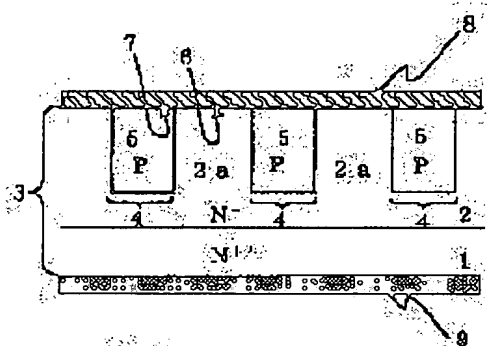


図1は、本発明の肖特キーダイオードの断面図を示す。N型基板1の表面にN型低濃度層2が形成され、該層2に間隔 W_m を有する凹部4が形成されている。凹部4は多結晶シリコンで充填され、P領域5を形成している。P領域5の上表面7及び他の部分の上表面6は、以下の式を満たすように肖特キー接合され、アノード8を形成している。

$W_m \leq W_t \times N_a / N_b$ (W_m は凹部4の間隔、 N_d は第2のN型層2の濃度、 W_t 及び N_a はP領域5の幅及び濃度それぞれ)、
 $W_m \leq [2 \times \epsilon_0 \times \epsilon_s \times (BV_{AK}/n)/q \times N_d]^{1/2}$ (破壊電圧 $BV_{AK} = 60 \times (E_g/1.1)^{1.5} \times (N_d/10^{16}) - 3/4$ 、 E_g は半導体材料のエネルギーバンドギャップ、 ϵ_0 は真空の誘電率、 ϵ_s は半導体材料の誘電率、 q は elementary electric charge、 $n > 1$)。

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284604

(P2001-284604A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.⁷

H 0 1 L 29/872

識別記号

F I

H 0 1 L 29/48

データベース (参考)

F 4 M 1 0 4

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2000-97554 (P2000-97554)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 北田 瑞枝

埼玉県飯能市南町10番13号新電元工業株式会社工場内

(72) 発明者 九里 伸治

埼玉県飯能市南町10番13号新電元工業株式会社工場内

(74) 代理人 100102875

弁理士 石島 茂男 (外1名)

Fターム (参考) 4M104 AA01 BB00 BB01 CC03 DD04

DD08 DD15 DD16 DD34 EE09

EE14 FF32 GG03 HH20

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 逆方向漏れ電流を小さくし、順方向特性を改善したショットキーダイオード構造を提供する。

【解決手段】 カソード9に接続したN型基板1上にN型低濃度層2を成膜した表面に間隔Wmで溝4を形成し多結晶SiのP領域5を充填した両上面6・7にアノード8の構造で下式1・2を満足させるものをショットキ接合する。

$$W_m \geq \frac{W_s \times N_A}{N_d} \quad (1) 式$$

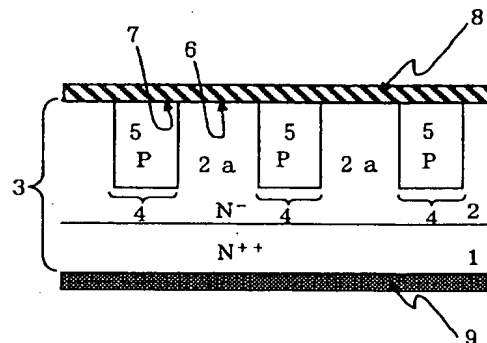
但し、Wmは溝4の間隔、Ndは第2N型層2の濃度、WsはN型基板1のP領域5の充填率、Naは多結晶Siの濃度

$$W_m \leq \sqrt{\frac{2 \times \epsilon_s \times \epsilon_0 \times (BV_{BR}/q)}{q \times N_d}} \quad n > 1 \quad (2) 式$$

但し、降伏電圧 $BV_{BR} = 60 \times (E_g / 1.1) \times 1.5 \times (N_d / 10^{16})^{-3/4}$

Egは半導体材料のエネルギーバンドギャップ値

ε0真空誘電率、εs半導体材料の比誘電率、q素子電荷量



【特許請求の範囲】

【請求項 1】一導電型の第 1 半導体層と、該第 1 半導体層より低不純物濃度の一導電型の第 2 半導体層とを積層して成る半導体基板と、該第 2 半導体層表面に所定の幅と間隔を持って形成されたトレンチ部と、該トレンチ部に充填形成された他の導電型の半導体層と、該第 2 半導体層表面と該半導体層表面に接続して形成されたショットキー金属電極と、該第 1 半導体層表面に形成されたオーミック金属電極を備えた半導体装置において、該半導体層の幅を W_t 、不純物濃度を N_a 、該第 2 半導体層の不純物濃度を N_d 、隣接する該半導体層間の該第 2 半導体層の間隔を W_m 、該 N_d に対する降伏電圧を BV_{AK} とし、該 W_t 、 N_a 、 N_d 、 W_m 及び BV_{AK} が下記の (1) 式及び (2) 式を満足する関係に設定したことを特徴とする半導体装置。

【数 1】

$$W_m \leq \frac{W_t \times N_a}{N_d} \quad \text{----- (1) 式}$$

【数 2】

$$W_m \leq \sqrt{\frac{2 \times \epsilon_s \times \epsilon_0 \times (BV_{AK}/n)}{q \times N_d}} \quad n > 1 \quad \text{----- (2) 式}$$

但し、 $BV_{AK} = 60 \times (E_g/1.1)^{1.5} \times (N_d/10^{16})^{-3/4}$

E_g 該半導体材料のエネルギーバンドギャップ値、 ϵ_0 真空の誘電率、 ϵ_s 該半導体材料の比誘電率、 q 素電荷量

【請求項 2】トレンチ部の側壁及び底面の全面に予め絶縁膜を形成したことを特徴とする請求項 1 の半導体装置。

【請求項 3】トレンチ部に充填形成された半導体層の表面部に該半導体層と反対導電型の高不純物濃度層を設け、該高不純物濃度層がショットキー金属電極とオーミック接続されたことを特徴とする請求項 1 又は請求項 2 の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は半導体装置、特にショットキーバリアダイオードの構造に関する物である。

【0002】

【従来の技術】ショットキーバリアダイオード SBD は順方向電圧が低くスイッチング速度が速い反面、逆方向漏れ電流が大きく、逆方向降伏電圧が低いと言う欠点がある。また、特に 100V 以上の中高耐圧品においては熱暴走を抑える為に逆方向漏れ電流を小さくする必要があり、ショットキーバリアを高くしつつ空乏層が広がるようにドリフト領域の不純物濃度を低くしなければならず、順方向特性が悪化する。

【0003】低耐圧品で使われるジャンクションによるピンチオフ効果を利用して漏れ電流を小さくする構造を図 10 に示す。同図において高不純物濃度の N 型半導体基板 1 (以降 N 型基板 1 と称す) の上に低不純物濃度の N 型半導体層 2 がエピタキシャル成長法により形成される

(以降、N エピ層 2 と称す)。N エピ層 2 の主表面に高不純物濃度の P 型半導体領域 19 (以降、 P^+ 領域 19 と称す) が所定の間隔を置いて (拡散又は溝への多結晶シリコンの埋め込みにより) 配置される。N エピ層 2 の主表面 6 と P^+ 領域 19 の表面 20 とに接続されるアノード電極膜 8 が形成され、該アノード電極膜 8 は N エピ層 2 の主表面 6 とはショットキー接続をしている。N 型基板 1 の他方表面には N 型基板 1 とオーミック接続するカソード電極膜 9 が形成されている。

【0004】図 10 の SBD において逆方向に電圧を印加していくと、図 11 の様に隣り合った P^+ 領域 19 の側面 21、22 から P^+ 領域 19 に挟まれた N エピ層 2 の領域 2a に空乏層 23-1 が伸びて来る。更に逆方向電圧を印加して行くと P^+ 領域 19 の側面 21、22 から伸びてきた空乏層端が接触し (ピンチオフ)、一つの幅の広い空乏層 23-2 になることで N エピ層 2 の主表面 6 とアノード電極膜 8 の界面にかかる電界が緩和され、逆方向漏れ電流を低減することが出来る。図 12 にピンチオフ状態に有る図 10 の半導体装置に逆方向降伏電圧まで印加した時の P^+ 領域 19 と P^+ 領域 19 で挟まれた N エピ領域 2a の中央 A、B 縦方向の電界強度分布を示す。先にも述べた通り、N エピ層 2 の主表面 6 とアノード電極膜 8 の界面にかかる電界が緩和されていることが図 12 より判る。

【0005】しかし、図 10 の構造を 100V 以上の中高耐圧品に適用すると P^+ 領域 19 の底部 24 と N エピ層 2 との PN 接合部での電界が高くなり、逆方向耐圧劣化に繋がる。逆方向耐圧を保つ為には、N エピ層 2 の不純物濃度を低くしなければならず順方向特性が悪化する。

【0006】また、 P^+ 領域 19 の底部の電界を緩和する為に図 13 の様に図 10 の P^+ 領域 19 の底の領域のみを低不純物濃度の P 型半導体領域 25 で形成する構造がある。しかし、該 P 型半導体領域 25 の不純物濃度が所望の濃度より低くなると P^+ 領域 19 底部に電界が集中して逆方向耐圧の劣化を招き、また、該 P 型半導体領域 25 の不純物濃度が所望の濃度より高くなると該 P 型半導体領域 25 の底部で電界が集中し、逆方向耐圧が劣化する。また、前記構造の場合、底の不純物濃度の低い領域を大きく取らないと充分な電界緩和が出来ないが、低不純物濃度領域を該 P 型半導体領域 25 の下方へ更に伸ばすと N エピ層 2 の厚さを増やさねばならず、順方向特性が悪化するというトレードオフの関係に有る。

【0007】

【発明が解決しようとする課題】100V 以上の中高耐圧のショットキーバリアダイオードにおいて、熱暴走を防ぐ為に逆方向漏れ電流を小さくして、且つ逆方向耐圧を確保しようとするすると N エピ層の不純物濃度を低くするか、ジャンクションによるピンチオフ効果を利用する為、順方向特性が悪化するというトレードオフの関係に有る。本発明は逆方向漏れ電流を従来のレベルに維持し

たまま順方向特性を大きく改善したショットキーバリアダイオード等の半導体装置を提供する。

【0008】

【課題を解決する手段】上記課題を解決するため請求項1の発明は、一導電型の第1半導体層と、該第1半導体層より低不純物濃度の一導電型の第2半導体層とを積層して成る半導体基板と、該第2半導体層表面に所定の幅と間隔を持って形成されたトレンチ部と、該トレンチ部に充填形成された他の導電型の半導体層と、該第2半導体層表面と該半導体層表面に接続して形成されたショットキー金属電極と、該第1半導体層表面に形成されたオーミック金属電極を備えた半導体装置において、該半導体層の幅をWt、不純物濃度をNa、該第2半導体層の不純物濃度をNd、隣接する該半導体層間の該第2半導体層の間隔をWm、該Ndに対する降伏電圧をBVAKとし、該Wt、Na、Nd、Wm及びBVAKが下記の(1)式及び(2)式を満足する関係に設定したことを特徴とする。

【数1】

$$Wm \geq \frac{Wt \times Na}{Nd} \quad \text{----- (1) 式}$$

【数2】

$$Wm \leq \sqrt{\frac{2 \times \epsilon_s \times \epsilon_0 \times (BVAK/n)}{q \times Nd}} \quad n > 1 \quad \text{----- (2) 式}$$

但し、 $BVAK = 60 \times (Eg/1.1)^{1.5} \times (Nd/10^{16})^{-3/4}$

Eg該半導体材料のエネルギーバンドギャップ値、 ϵ_0 真空の誘電率、 ϵ_s 該半導体材料の比誘電率、q素電荷量

【0009】上記課題を解決するための請求項2の発明は、トレンチ部の側壁及び底面の全面に予め絶縁膜を形成したことを特徴とする。

【0010】又、上記課題を解決するための請求項3の発明は、トレンチ部に充填形成された半導体層の表面部に該半導体層と反対導電型の高不純物濃度層を設け、該高不純物濃度層がショットキー金属電極とオーミック接続されたことを特徴とする。

【0011】

【実施の態様】図1は本発明の一実施例を示す模式的断面図で、第1導電型の第1半導体層(N型基板)1と該第1層より低不純物濃度の第1導電型の第2半導体層(Nエピ層)2とを積層して成る半導体基板3と、この半導体基板3の一方の主表面側(上方)のNエピ層2の表面に所定の間隔を持って所定の幅で形成された溝4の中に第2導電型の多結晶シリコンをNエピ層2の表面まで充填した第3半導体領域(P⁻領域)5と、Nエピ層2の表面6とP⁻領域5の表面7の両方に接触し、且つ、Nエピ層の表面6とはショットキー接続する金属で出来た第1電極膜(アノード電極膜)8と、半導体基板3の他方の主面(下方)にN型基板1とオーミック接続する第2電極膜(カソード電極膜)9を具備した構造において、P⁻領域5の不純物濃度が、Nエピ層2とP⁻領域5とから成るPN接合に逆方向に電圧が印加された時にP⁻領域5が全

て空乏化されるような低濃度とした構造の半導体装置である。

【0012】以下図2、図3を参照して説明する。図2、図3は本発明実施例の動作説明図で、先ず半導体装置に逆方向電圧が加わり始めた時、図2に示すように隣り合った溝4の向かい合った側壁11、12から溝4に挟まれたNエピ領域2aとP⁻領域5に空乏層13、14が横方向へ伸びて来る。更に逆方向電圧が加わった時にNエピ層2の表面に形成した溝4の間隔Wmは、隣り合った溝4の向かい合った側壁11、12から伸びて来る空乏層同士が繋がるような距離Wmにした方がよい。隣り合った溝4から伸びてきた空乏層同士が繋がるような距離Wmとは、P⁻領域5が全て空乏化した時に溝4に挟まれたNエピ領域2aも全て空乏化する距離Wmを意味し、この距離Wmは溝4に形成されたP⁻領域5の幅Wtと濃度Naと、Nエピ層2の濃度Ndとに関係し、おおよそ以下の(1)式で表せる。

【0013】

【数1】

$$Wm \geq \frac{Wt \times Na}{Nd} \quad \text{----- (1) 式}$$

またこの時、Nエピ領域2aにおいて隣り合った溝4から伸びてきた空乏層同士が繋がる前にNエピ層2とP⁻領域5とから成るPN接合部の電界が降伏限界まで達することの無い様に次の(2)式を満たす必要が有る。この時、Nエピ層2の濃度Ndにおける逆方向降伏電圧はBVAKは次式の様になる。 $BVAK = 60 \times (Eg/1.1)^{1.5} \times (Nd/10^{16})^{-3/4}$ 但し、Egは該半導体材料のエネルギーバンドギャップ値

【数2】

$$Wm \leq \sqrt{\frac{2 \times \epsilon_s \times \epsilon_0 \times (BVAK/n)}{q \times Nd}} \quad n > 1 \quad \text{----- (2) 式}$$

(2)式において、 ϵ_0 は真空の誘電率、 ϵ_s は半導体材料の比誘電率、BVAKは逆方向降伏電圧、qは素電荷量、NdはNエピ層2の不純物濃度である。

【0014】この(1)式、(2)式が成立する条件下でのみP⁻領域5が全て空乏化した時にNエピ領域2aも全て空乏化する。即ち、P⁻領域5もNエピ領域2aも空乏化することで図3に示すようにアノード電極膜8から溝4の底部までの幅の広い1つの繋がった空乏層15が出来る。更に逆方向電圧をかけて行った時、この幅の広い空乏層15が出来た後にかかった電圧は、ほぼこの幅の広い空乏層15中にかかる。この幅の広い空乏層15は溝4の側壁11、12から横方向へ伸びた空乏層が繋がったことにより出来た物である。溝4から横方向に伸びた空乏層13が繋がった時点ではまだ空乏層15中の電界は小さい。更に逆方向電圧を印加して行くと空乏層15中の電界強度が全体的に上がって来る。前記電界強度が臨界値に達した時、降伏が始まる。PN接合の逆方向耐压の場合、降伏は電界強度が一番高くなるPN接合

部付近で起こるが、本発明の半導体装置の構造の場合
は、PN接合部付近で降伏が起こるとは一概には言えな
い。前記空乏層 15 を作ることでPN接合の電界強度を十
分緩和することが出来、PN接合部付近で降伏を起こすよ
りも早く、P⁻ 領域 5 に挟まれたNエピ領域 2 a の隣り
合う溝 4 間の中央部が降伏電圧に達することもある。

【0015】図 1 の半導体装置に逆方向降伏電圧まで印
加した時のP⁻ 領域 5 と溝 4 で挟まれたNエピ領域 2 a
の中央 A、B 縦方向の電界強度分布を図 4 に示す。前述
の通り、前記空乏層 15 中の電界強度は全体的に上がっ
て来る。空乏層中の電界強度は溝 4 の側壁 11、12 から
横方向に伸びた空乏層 13 が繋がって空乏化した時と同
じ傾きで大きくなり、空乏層 15 中でほぼ一樣になり、
電界強度が特に高くなる所が無い。この為、溝 4 の
側壁 11、12 から横方向に伸びた空乏層 13 が繋がる
様なNエピ層 2 の不純物濃度 Nd であれば、従来構造品
の様にNエピ層 2 の不純物濃度を低くしなくても溝 4 の
深さを深くするだけで空乏層 15 の幅を更に大きくする
ことが出来、逆方向耐圧を上げることが出来る。よっ
て、Nエピ層 2 の主表面 6 とアノード電極膜 8 の界面にか
かる電界強度を従来構造品のレベルに維持したまま、順
方向特性を大きく改善することが出来る。

【0016】本発明の構造ではアノード電極膜 8 から下
方に伸びた空乏層 15 の幅を変えることのみで逆方向耐
圧を決めることが出来る。言い換えるとP⁻ 領域 5 のあ
る溝 4 の深さで逆方向耐圧は決まってくる。よって、溝
4 で挟まれたNエピ領域 2 a の幅 Wm とNエピ層 2 の不
純物濃度を溝 4 から横方向に伸びて来る空乏層 13 が繋
がるように設定すれば、従来構造品の様に逆方向耐圧を
出す為にNエピ層 2 の不純物濃度を低くしなくても中高
耐圧を出すことが出来る。即ち、逆方向電圧を印加した
時の漏れ電流の増加無く、順方向特性を大幅に改善する
ことが出来る。

【0017】次に本発明装置（ショットキーバリアダイ
オード）の製法について図 8 を参照して説明する。図 8
は該SBDの製造工程を示す断面図である。先ず図 8

(a) に示すようにN型基板 1（砒素濃度 2×10^{19} atom
s/cm³）の上にNエピ層 2（磷濃度 Nd = 1×10^{16} atoms/c
m³）をエピタキシャル成長法により厚さ $10 \mu\text{m}$ 程度積層
した半導体基板 3 を形成する。次に同図 (b) に示すよ
うにNエピ層 2 の表面に熱酸化により酸化珪素膜 18 を
5000 Å 程度形成した後、光蝕刻法により溝 4 を形成する
為の部分の酸化珪素膜 18 を幅 Wt = $0.6 \mu\text{m}$ 程度、間隔
Wm = $2.4 \mu\text{m}$ 程度でストライプ状に部分的に除去し、こ
れをマスクとしてNエピ層 2 のシリコンをガスでエッチ
ングし、Nエピ層表面から深さ方向で $6 \mu\text{m}$ 程度の溝 4 を
掘る。この時、前述の (2) 式の n は $n = 1.42$ となる。次
に同図 (c) に示すように溝 4 の内部とNエピ層 2 の表
面に砒素が Na = 4×10^{16} atoms/cm³ 程度ドーピングされた多
結晶シリコンを $1 \mu\text{m}$ 程度積層し、Nエピ層 2 の表面とほ

ぼ同じ高さになるまでエッチバックする。次に同図

(d) に示すように溝 4 を掘る時のマスクとして使用し
た酸化珪素膜 18 をエッチングで取り除き、Nエピ層 2
の表面 6 と溝 4 に埋め込んだ多結晶シリコン表面 7 とに
ショットキーバリアメタルを蒸着してアノード電極膜 8
を形成し、裏面となるもう一方のN型基板面にカソード
電極膜 9 を形成することで、本発明の実施例は完成す
る。（周辺構造の実施例については省略する）

【0018】図 5、図 6 及び図 7 は本発明の他の実施例
構造を示す。断面図で図 5 は、低不純物濃度の多結晶シ
リコン（P⁻ 領域 5）を溝 4 の中に充填する際、溝 4 の
側壁 11、12 及び底面 10 に予め絶縁膜 16 を形成し
た後にP⁻ 領域 5 を設けた例を示す。この絶縁膜 16
は、多結晶シリコンとNエピ層 2 の間に逆方向電圧が印
加された時の漏れ電流をほぼ 0 にする働きをする。ま
た、図 6 は逆方向電圧を印加した時にP⁻ 領域 5 に伸び
る空乏層 14 がP⁻ 領域 5 の表面 7 に達しない様に高不
純物濃度の第 2 導電型の第 4 半導体領域（P⁺⁺ 領域） 1
7 を設けた例を示す。このP⁺⁺ 領域 17 は逆方向電圧
が印加された時の空乏層 14 がP⁻ 領域 5 の表面 7 で接
触するアノード電極膜 8 に達すること（パンチスルー）
による漏れ電流を抑えと共にP⁻ 領域 5 の表面 7 で接
触するアノード電極膜 8 とオーミック接続することによ
りP⁻ 領域 5 の電位をアノード電極膜 8 の電位と同じに
することが出来る。

【0019】更に図 7 は、前述の構造を組み合わせた構
造を示し、溝 4 の中に絶縁膜 16 を付けた構造のP⁻ 領
域 5 の表面にP⁺⁺ 領域 17 を設けた例を示す。また、P⁻
領域 5 を形成する際、多結晶シリコンではなくエピタ
キシャル成長によりP⁻ 領域を形成しても良い。エピタ
キシャル成長でP⁻ 領域を形成することで、多結晶シリ
コンでP⁻ 領域 5 を形成した時に起こる逆方向漏れ電流
を低減する事が出来る。この構造も前述の構造全てに適
用できる。

【0020】

【発明の効果】以上のように本発明ではNエピ層表面に
掘った溝の中にP⁻ 領域を設け、このP⁻ 領域と溝に挟ま
れたNエピ層の領域とに溝の側面のPN接合から伸びた空
乏層同士が繋がることにより、表面から溝の底部までの
幅の広い空乏層を作り出すことで、逆方向耐圧を出すこ
とが出来る。この為、Nエピ層の不純物濃度を低くしな
くとも溝の深さを変えるだけで逆方向耐圧を上げること
が出来、逆方向特性を変えないで、順方向特性を大幅に
改善することが出来るショットキーバリアダイオード等
の半導体装置を提供することが出来る。

【図面の簡単な説明】

【図 1】 本発明の一実施例を示す概略断面図

【図 2】 本発明実施例の動作説明図

【図 3】 本発明実施例の動作説明図

【図 4】 本発明実施例の電界強度分布特性図

- 【図5】 本発明の他の実施例を示す概略断面図
 【図6】 本発明の他の実施例を示す概略断面図
 【図7】 本発明の他の実施例を示す概略断面図
 【図8】 本発明の一実施例装置の製法を示す工程断面

図

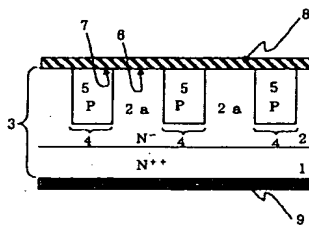
- 【図9】 本発明の実施例装置の概略平面図
 【図10】 従来装置の概略断面図
 【図11】 従来装置の動作説明図
 【図12】 従来装置の電界強度分布特性図

【図13】 従来装置の概略断面図

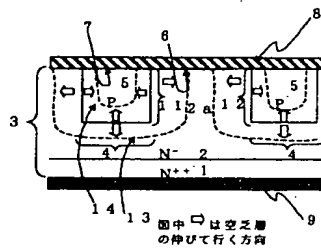
【符号の説明】

- 1：半導体層
 2：N型半導体層（エピ層）
 3：半導体基板（N）
 4：トレンチ部
 5：半導体層（P）
 8：アノード電極膜
 9：カソード電極膜

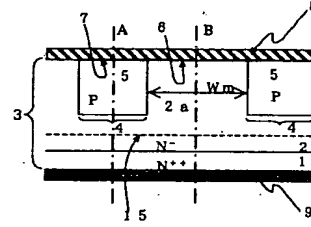
【図1】



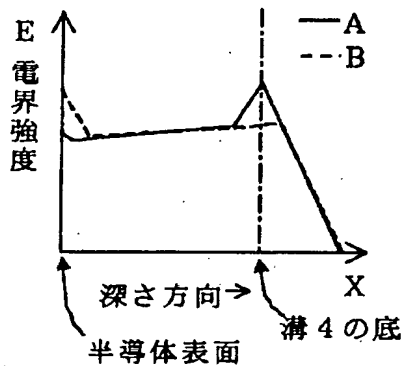
【図2】



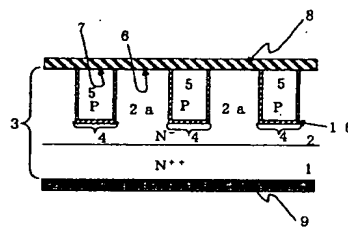
【図3】



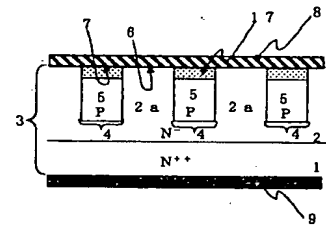
【図4】



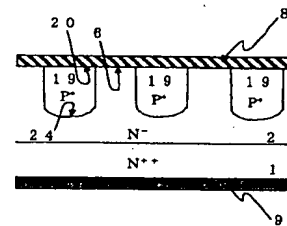
【図5】



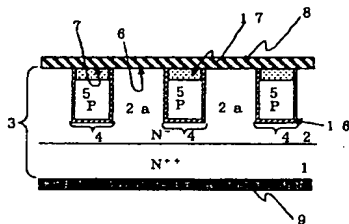
【図6】



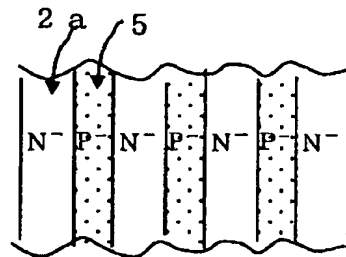
【図10】



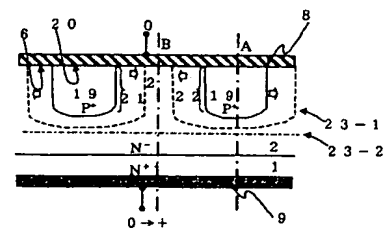
【図7】



【図9】



【図11】



【图 13】

